

$$\frac{5}{6}$$

07-037840

**07.02.1995**

H01L 21/301  
H01L 21/68

(71)Applicant : NEC CORP

(72)Inventor : MURATA TOMOJI

**57) Abstract:**

Figure 1 consists of seven cross-sectional diagrams labeled (a) through (g), illustrating the manufacturing process of a semiconductor device. The diagrams show various layers and structures being formed or etched.

- (a) Shows a substrate with a top layer (1) and a bottom layer (2). A central opening is formed in the top layer.
- (b) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.
- (c) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.
- (d) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.
- (e) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.
- (f) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.
- (g) Shows the top layer (1) and bottom layer (2) with a central opening. A layer (3) is formed on the top layer.

[Date of request for examination]	24.07.1993
[Date of sending the examiner's decision of rejection]	04.06.1996
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2616247
[Date of registration]	11.03.1997
[Number of appeal against examiner's decision of rejection]	08-10840
[Date of requesting appeal against examiner's decision of rejection]	04.07.1996
[Date of extinction of right]	

FP02-0353  
-00TH-HF

76.3.06

2006/03/24

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-37840

(43) 公開日 平成7年(1995)2月7日

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/301

21/68

N

H 0 1 L 21/ 78

S

X

Q

審査請求 有 請求項の数 2 F D (全 5 頁)

(21) 出願番号

特願平5-202884

(22) 出願日

平成5年(1993)7月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 村田 智司

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 宮越 典明

(54) 【発明の名称】 半導体装置及びその製造方法

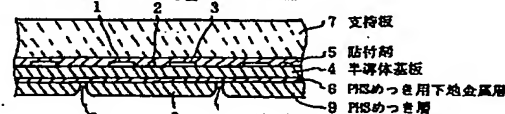
(57) 【要約】

【目的】 PHS構造を有する化合物半導体基板をチップに分離する際、粘着テープに整列させたまま支持板より剥離すること。

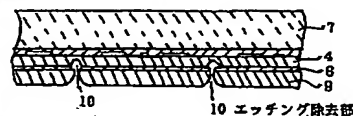
【構成】 半導体基板4を裏面からエッチングにてハーフエッチングする工程(図1工程B)、このハーフエッチングされた半導体基板4を粘着テープ11で貼り付け、その後ブレーキングする工程(同工程D)、ブレーキングされたチップの相互干渉を解消するため、粘着テープ11を引き伸ばす工程(同工程E)とを備えている。

【効果】 工程の自動化を容易に行うことができ、しかも大幅な工数低減が可能となる。また、PHS構造を有する半導体素子を支持板から剥離し、素子分離を行う場合、半導体素子の重なりを防止し、外観チェックの工数を大幅に低減することができる。

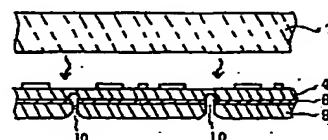
【工程A】 ソース電極 ゲート電極 ドレイン電極



【工程B】



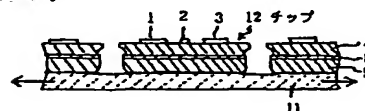
【工程C】



【工程D】



【工程E】



## 【特許請求の範囲】

【請求項 1】 PHS構造を有する化合物半導体装置において、チップ側面の表面付近は、非垂直、非直線的に、また、チップ側面のPHSめっき部付着は、表面付近に比して内側に斜め又は湾曲にチップが分離されている構造からなることを特徴とする半導体装置。

【請求項 2】 PHS構造を有する化合物半導体装置の製造方法において、半導体基板を裏面からハーフエッチングする工程と、このハーフエッチングされた半導体基板を粘着テープで貼り付け、プレーキングする工程と、該粘着テープを引き伸ばす工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、特にプレーテッドヒートシンク(Plated Heat sink: 以下“PHS”と略記する)構造を有する化合物半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 一般にPHS構造を有する化合物半導体装置の製造方法は、図4に示す工程フロー「素子形成→支持板貼付→裏面研磨エッチング→PHSめっき用下地金属層形成→PHSめっき層形成→PHSめっき用下地金属層除去→エッチング→ペレット剥離→整列→マウント」より成る。

【0003】 この従来の製造法を図3(従来法における製造工程A～Eよりなる工程順断面図)に基づいて詳細に説明する。まず、図3工程Aに示すように、半導体基板4の表面に素子(ソース電極1、ゲート電極2、ドレイン電極3)を形成する。

【0004】 次に、図3工程Bに示すように、半導体基板4の表面に貼付剤5を用いて支持板7を貼り付け、基板4の裏面より研磨又はエッチングして所望の厚さ(数10 $\mu$ m)に薄層化し、その後複数の金属からなるPHSめっき用下地金属層6の形成を行う。

【0005】 続いて、図3工程Cに示すように、ダイシング域にレジスト8のパターンをマスクとしてPHSめっきを施し、PHSめっき層9を形成する。その後、上記レジスト8を除去し、図3工程Dに示すように、PHSめっき層9をマスクとしてPHSめっき用下地金属層6を除去し、続いて半導体基板4をエッチングしてチップ12の分離を行う。

【0006】 次に、図3工程Eに示すように、支持板7と半導体基板4とを貼り付けている貼付剤5に対し溶解可能な溶剤を用いて支持板7からチップ12を剥離し、洗浄を行うことによってチップ分離を行っている。

【0007】 従来法では、以上のような工程で剥離、洗浄したチップ12をばらばらにカゴ状のもので受けて溶剤より取り出し、乾燥させる。そして、乾燥したチップ12は、マウントを行うため、チップ12を1片ずつ表裏を確

認し、トレーに整列させていた。

## 【0008】

【発明が解決しようとする課題】 従来の上記したチップ分離法では、チップ12をマウントする前に1片ずつ表裏を確認し、トレーに整列させる必要があり、そのため膨大な工数を必要とする欠点を有している。また、工程の自動化を意図する場合、表裏ばらばらに重なった状態で存在するチップ12を認識し、これを個々に拾い上げ、整列させることは非常に困難なことである。

【0009】 本発明は、従来の上記欠点、問題点に鑑み成されたものであって、その目的は、工程の自動化を容易に行うことができ、大幅に工数を低減することができる半導体装置及びその製造方法を提供することにある。また、本発明の他の目的は、PHS構造を有する半導体素子を支持板から剥離し、素子分離を行う際、半導体素子の重なりを防止し、外観チェックの工数を低減することができる半導体装置及びその製造方法を提供することにある。

## 【0010】

【課題を解決するための手段】 そして、本発明は、上記目的を達成するため、PHS構造を有する化合物半導体装置において、チップ側面の表面付近は、非垂直、非直線的に、また、チップ側面のPHSめっき部付着は、表面付近に比して内側に斜め又は湾曲にチップが分離されている構造からなっている。

【0011】 また、本発明の半導体装置の製造方法は、半導体基板をチップに分離させる工程において、(1) 半導体基板を裏面からエッチングにてハーフエッチングする工程、(2) ハーフエッチングされた半導体基板を粘着テープで貼り付け、その後プレーキングする工程、(3) プレーキングされたチップの相互干渉を解消するため、粘着テープを引き伸ばす工程、とを備えている。

## 【0012】

【実施例】 以下、本発明について図面を参照して説明する。本発明は、具体的には、図2に示す工程フロー「素子形成→支持板貼付→裏面研磨エッチング→PHSめっき用下地金属層形成→PHSめっき層形成→PHSめっき用下地金属層除去→ハーフエッチング→支持板から剥離・洗浄→粘着テープ貼付→プレーキング→テープ引き伸ばし→マウント」より成る。

【0013】 本発明は上記工程より成るが、これを更に図1に基づいて詳細に説明する。図1は、本発明の一実施例である半導体装置の製造工程A～Eよりなる工程順断面図である。

【0014】 まず、図1工程Aに示すように、半導体基板4に素子(ソース電極1、ゲート電極2、ドレイン電極3)を形成し、これを貼付剤5を用いて支持板7に貼り付ける。そして、この半導体基板4の裏面を研磨エッチングにより所望の厚さ(数10 $\mu$ m)に薄層化し、この面にPHSめっき用下地金属層6を形成し、更に、マスク用

レジスト8を用いてPHSめっき層9を形成する。

【0015】次に、図1工程Bに示すように、PHSめっき層9を形成するために用いたマスク用レジスト8を除去し、続いて、このレジスト8を除去したところのPHSめっき用下地金属層6を除去し、さらに半導体基板4をPHSめっき層9をマスクとしてエッチングを行う。

【0016】このとき、エッチング量を制御することによって半導体基板4の厚さ分すべてエッチングによって除去しないで、半導体基板4の厚さの1/3〜2/3程度エッチングしたところで該エッチングを終了させ、エッチング除去部10を形成する。ここで用いるエッチングとしては、ドライエッチング、ウェットエッチングのいずれでもよい。

【0017】次に、図1工程Cに示すように、ハーフエッチングを行った半導体基板4を支持板7から剥離するため、貼付剤5を溶解する溶剤を用いて半導体基板4を剥離し洗浄する。なお、半導体基板4と支持板7を貼り付ける貼付剤5として、ワックス系のものを使用した場合、半導体基板4を支持板7から剥離するとき、ホットプレートなどを用いて加温することにより支持板7より剥離し、その後ワックスを溶解することができる溶剤を用いて半導体基板4を洗浄する。

【0018】次に、図1工程Dに示すように、支持板7より剥離した半導体基板4の裏面から粘着テープ11で半導体基板4を支持し、その後ブレーキングを行い、チップに分離する。ここで用いる粘着テープ11としては、後工程の「マウント工程」を考慮し、紫外線を照射すると粘付強度が低下する粘着テープ又は加熱することで粘付強度が低下する粘着テープを用いることができる。

【0019】次に、図1工程Eに示すように、マウントを行う場合、ブレーキングを行ったチップ側面が隣のチップと干渉しないように、また、チップ12と粘着テープ11との粘着力を低下させ、容易にチップをピックアップ

できるように粘着テープ11を引き伸ばす。このような工程を用いることにより、チップ12を粘着テープ11上に整列させたまま剥離、分離することができる。

【0020】

【発明の効果】以上説明したように本発明は、チップを粘着テープ上に整列させたまま剥離、分離することができるので、工程の自動化を容易に行うことができ、しかも大幅な工数低減が可能となる効果が生じる。また、本発明によれば、PHS構造を有する半導体素子を支持板から剥離し、素子分離を行うとき、半導体素子の重なりを防ぎ、外観チェックの工数を低減することができる効果が生じる。

【図面の簡単な説明】

【図1】本発明の実施例である半導体装置の製造工程A〜Eよりなる工程順断面図。

【図2】本発明による工程フロー図。

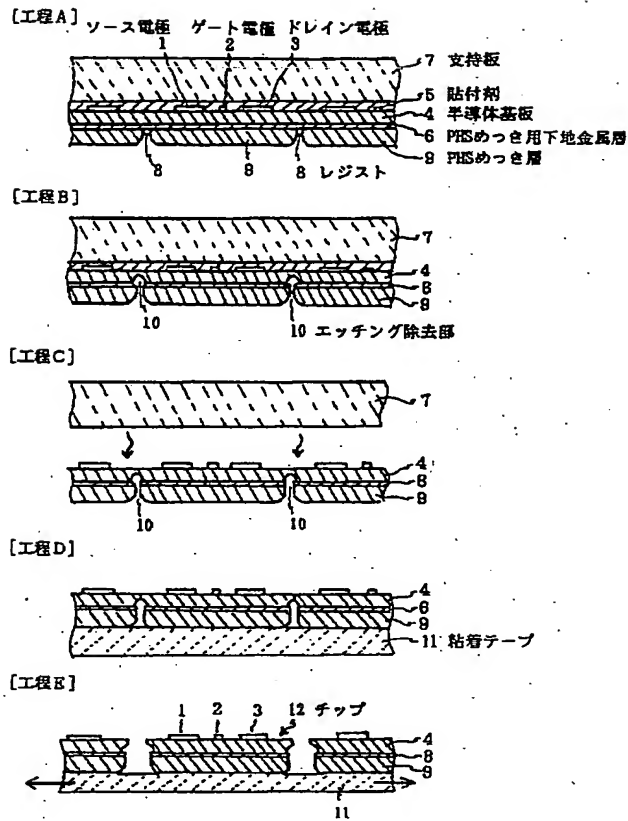
【図3】従来の半導体装置の製造工程A〜Eよりなる工程順断面図。

【図4】従来法による工程フロー図。

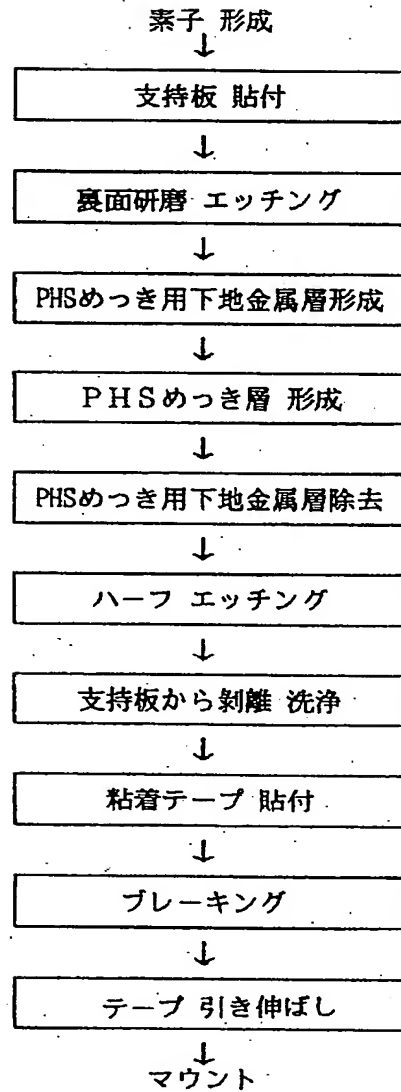
【符号の説明】

- 1 ソース電極
- 2 ゲート電極
- 3 ドレイン電極
- 4 半導体基板
- 5 貼付剤
- 6 PHSめっき用下地金属層
- 7 支持板
- 8 レジスト
- 9 PHSめっき層
- 10 エッチング除去部
- 11 粘着テープ
- 12 チップ

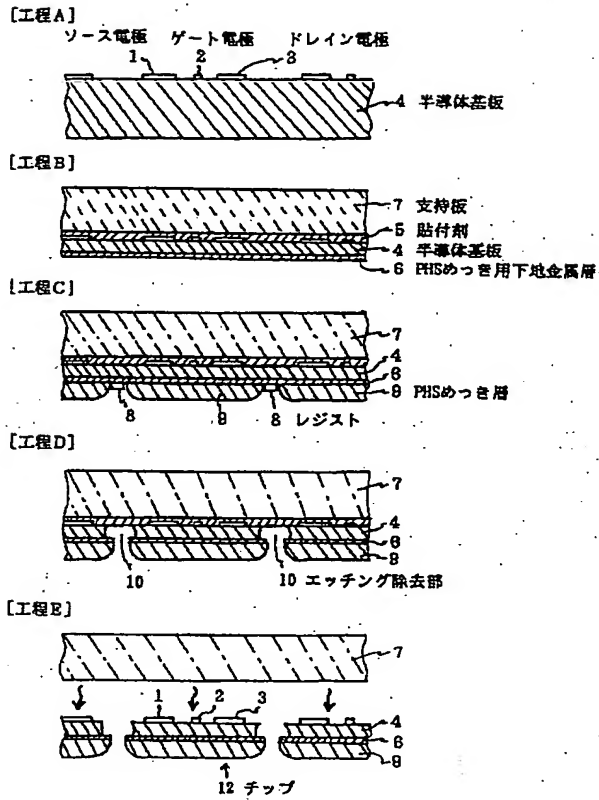
【図1】



【図2】



【図 3】



【図 4】

